

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-122639

(P2002-122639A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 1 R 31/28		G 0 6 F 11/22	3 1 0 B 2 G 1 3 2
31/3185			3 1 0 R 5 B 0 4 8
G 0 6 F 11/22	3 1 0		3 3 0 F
		G 0 1 R 31/28	W
	3 3 0		

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願2001-235328(P2001-235328)

(22) 出願日 平成13年8月2日 (2001. 8. 2)

(31) 優先権主張番号 1 0 0 3 8 3 2 7 . 0

(32) 優先日 平成12年8月5日 (2000. 8. 5)

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 590000248

コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィKoninklijke Philips
Electronics N. V.オランダ国 5621 ペーアー アインドー
フェン フルーネヴァウツウェッハ 1

(72) 発明者 フリードリッヒ、ハブケ

ドイツ連邦共和国ウィンゼン/ルーエ、グ
ラベンカンフ、16

(74) 代理人 100075812

弁理士 吉武 賢次 (外4名)

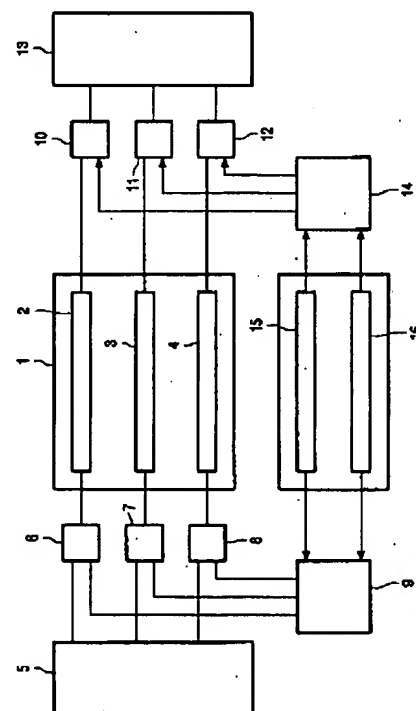
最終頁に続く

(54) 【発明の名称】 自己試験回路を備えた集積回路

(57) 【要約】 (修正有)

【課題】 試験されるアプリケーション回路1よおよびアプリケーション回路を試験するために設けられた自己試験回路を備える集積回路を提供する。

【解決手段】 試験目的のためにアプリケーション回路へ供給される決定性試験サンプルを生成するための配置要素を備え、アプリケーション回路のために生じる出力信号は試験サンプルに依存してサイン・レジスタを用いて評価され、アプリケーション回路内の追加の回路要素なしに集積回路の限定されないONチップ試験の可能性が、自己試験回路5から16はアプリケーション回路の出力信号からの出力信号のビットを試験中ブロックするマスキング・ロジック要素14を含み、アプリケーション回路の出力信号は該アプリケーション回路の回路構成に基づいて不確定な状態を有しかつサイン・レジスタへその他のビットのみを与える、という試験の目的によって確実になる。



【特許請求の範囲】

【請求項1】試験されるアプリケーション回路および前記アプリケーション回路を試験するために設けられた自己試験回路を備え、

試験目的のために前記アプリケーション回路へ供給される決定性試験サンプルを生成するための配置要素を備え、

前記アプリケーション回路のために生じる出力信号は試験サンプルに依存してサイン・レジスタを用いて評価され、

前記自己試験回路は、前記アプリケーション回路の出力信号からのそれらのビットを試験中ブロックするマスキング・ロジック要素を含み、前記アプリケーション回路の出力信号は該アプリケーション回路の回路構成に基づいて不確定な状態を有しかつ前記サイン・レジスタへその他のビットのみを与えることを特徴とする集積回路。

【請求項2】試験サンプル・カウンタは、該試験サンプル・カウンタからの信号を前記マスキング・ロジック要素が受けるように割り当てられ、

試験において信号がアクティブな試験サンプルの識別番号を前記マスキング・ロジック要素へ連続的に伝送することを特徴とする請求項1に記載の集積回路。

【請求項3】前記マスキング・ロジック要素は、前記アプリケーション回路におけるシフトレジスタのシフト状態を示す信号を該マスキング・ロジック要素へ供給するシフト・サイクル・カウンタを有することを特徴とする請求項1に記載の集積回路。

【請求項4】前記自己試験回路は、ビット変換回路を用いて予め決定され得る若しくは決定された試験サンプルへ変換される擬似ランダム試験サンプルを生成する線形フィードバック・シフトレジスタを有することを特徴とする請求項1に記載の集積回路。

【請求項5】前記マスキング・ロジック要素は、アナログ作用および／またはメモリ作用を有する前記アプリケーション回路の回路要素によって影響された前記アプリケーション回路の出力信号のビットをブロックすることを特徴とする請求項1に記載の集積回路。

【発明の詳細な説明】

【0001】本発明は、被試験アプリケーション回路(application circuit)およびそのアプリケーション回路を試験するために設けられている自己試験回路(a self-test circuit)を備え、試験の目的のためにアプリケーション回路へ供給される決定性試験サンプル(deterministic test sample)を生成させる配置要素(arrangement)を有する集積回路に係り、出力信号は、サイン・レジスタ(a signature register)によって評価された試験サンプルに依存してアプリケーション回路によって発生する。

【0002】集積回路を製造する際には、それらの機能を試験することに対して一般的な要求がある。そのよう

な試験は外部試験配置(external test arrangement)によって実行され得る。これらの回路の非常に高い集積密度のために、非常に高いクロック速度(clock rates)でこれらの回路が動作すること、および非常に多くの数の試験ベクトルが要求されることのように、外部試験(external test)には多くの問題があり、コストもかかる。集積回路の高い内部クロック速度は、外部へ通ずる比較的非常に遅い入出力ボンディングパッド・ステージに応じて不利に比例する。従って、集積回路のある種の自己試験を実行できることが望まれる。結局、自己試験回路は集積回路内に組み込まれ、集積回路内に設けられたアプリケーション回路を試験するために使用される。アプリケーション回路は、集積回路を使用する現実的な目的のために設けられた回路を意味する。

【0003】このような回路が試験される際には、回路内のそれらの構成要素が有する問題であって、試験中にいわゆる“X”、即ち、明確には評価できない信号を生ずるという問題が起きる。例えば、アプリケーション回路内に組み込まれたRAMは任意の出力信号を発生し得る。そのようなRAMによって発生され、その出力において回路によって伝播された信号は、試験中にはもはや明確には評価できない。

【0004】この問題を回避するために、試験中にこれらの構成要素を迂回し、若しくはこれらの構成要素の出力をマスクする特別な構成要素を回路内に組み込むことは従来から公知である。これは、追加の構成要素が回路内に組み込まれなければならない、一方で構成要素の数の増加を導き、他方で回路の特別な構造がそれに付随し得る欠陥を招く結果になるという欠点を有する。

【0005】試験されるアプリケーション回路を備えた集積回路および決定性試験サンプルを供給する自己試験回路は、Gundolf KieferおよびHans-Joachim Wunderlichによる“Using BIST control for pattern generation”という刊行物(Proceedings International Test Conference 1997において刊行)によって公知である。これは、フィードバック・シフト・レジスタでありかつ擬似ランダムサンプルを供給する試験サンプル発生器に追加して、与えられた決定性試験サンプルが生成されるのと同様にしてこの試験サンプル発生器の出力信号を変化させるロジック要素が設けられることで達成される。それによって、回路が、試験サンプル発生器によって外見上(quasi)偶然に決定されたサンプルだけでなく、決定可能な試験サンプルで試験されることができるということが達成され得る。

【0006】本発明の目的は、決定性試験サンプルでアプリケーション回路の試験が可能であり、回路内で同時に起きるX信号が試験中に試験結果を妨げることがなく、一方で、追加の構成要素がアプリケーション回路内に組み込まれる必要がないように、上述した集積回路を改善することである。

【0007】本発明によれば、この目的は、試験中に、アプリケーション回路の回路構成に基づき、状態が不確定であるアプリケーション回路の出力信号のそれらのビットをブロックして、他のビットのみをサイン・レジスタに適用するマスキング・ロジック要素を自己試験回路が備えることで解決される。

【0008】自己試験回路によって生成される試験サンプルは決定性である、即ち、それらは予め決定された試験サンプルである。これらの試験サンプルは、アプリケーション回路の構造に依存して試験サンプルを変化させるそのアプリケーション回路に適用される。それによって、試験中に生成されたアプリケーション回路からの出力信号はサイン・レジスタへ結合される。サイン・レジスタは、複数の試験サイクルから生ずるこれらの出力信号を合成し、回路が妨害なしに動作するか否かを示しかつ1種の信号を表す1つの最終結果にする。

【0009】しかしながら、この方法においては、アプリケーション回路内にほとんどいつも存在し、アナログまたはメモリの動作を有する構造が試験中にアプリケーション回路の出力信号に影響するときに問題が起きる。そのとき、“ドントケア結果信号(don't care result)”を供給する、いわゆるX信号が生成される。言い換えれば、このようなXとマークされた信号は評価され得ない。同様に、評価され得ない値はサイン・レジスタ内のそのような信号のために生成される。このようなことは回避されるべきである。

【0010】本発明によれば、これはマスキング・ロジック要素が設けられることで達成される。回路の試験中において、マスキング・ロジック要素は潜在的にそのようなX信号を含むアプリケーション回路の出力信号内の総てのそれらのビット、即ち、アプリケーション回路内の構成要素の記憶する動作またはアナログ動作によって影響される総てのビットをブロックする。マスキング・ロジック要素は、サイン・レジスタのそのような要素によって影響されない他のビットを通過させるのみである。

【0011】それによって、確実に、試験中にサイン・レジスタに到達するそれらのビットが完全に評価される。次に、これは、複数の試験サイクルを通過した後のサイン・レジスタで得られた信号結果が完全に評価され、信頼性のある試験結果を出す。

【0012】本発明による自己試験回路を備えた集積回路の本質的な優位性は、アプリケーション回路が試験工程のために変更される必要がないこと、即ち、アプリケーション回路の使用に最適であるように製造し得ることである。自己試験回路は決してアプリケーション回路の通常動作には影響を与えない。

【0013】さらに、本発明に従った自己試験回路は、チップ上でのアプリケーション回路の試験を可能とすることによって、比較的遅いボンディング・パッドの接続

がその試験を妨げることなく、アプリケーション回路が最大のクロック速度で動作され得る。

【0014】請求項2において定義された本発明の実施の形態によれば、試験サンプルのカウントは、複数の試験サイクル内のどの試験サンプルがアプリケーション回路を通過する過程にあるということを、このロジック要素に知らせるマスキング・ロジック要素への信号を供給するために有利に使用されることができ、それによって、マスキング・ロジック要素は、この信号が記憶またはアナログ構成要素を通過する間に影響を与えるアプリケーション回路の出力信号内のビットをブロックすることができる。

【0015】請求項3において定義された本発明のさらなる実施の形態に従って提供されるシフト・サイクル・カウントは、アプリケーション回路におけるシフトレジスタについての状態信号をマスキング・ロジック要素へ送信する。それによって、シフトレジスタのビットが、マスキング・ロジック要素によってブロックされることが、またはブロックされないことがわかる。

【0016】本発明のこれらのおよび他の特徴は以下に記述される実施の形態を参照して説明され、明らかにされる。

【0017】

【発明の実施の形態】図面はアプリケーション回路1を備えた集積回路のブロック図である。このアプリケーション回路は集積回路の使用のために着想された回路である。

【0018】集積回路を製造した後には、試験においてアプリケーション回路1の動作が完璧であることが望まれる。このために、図面に示されているように回路要素5から16を備えた自己試験回路が集積回路上に設けられる。

【0019】本発明に従った集積回路において、この自己試験回路は、アプリケーション回路1の完全に外側に構成され、これにより通常動作中にその動作に影響を与えないように形成される。

【0020】図面に示された実施の形態において、アプリケーション回路1はシフトレジスタである3つの回路チェーン2、3および4を有する。それより多くのシフトレジスタが存在してもよい。

【0021】自己試験回路は、試験サンプルの擬似ランダム・シーケンスを供給する線形フィードバック・シフトレジスタ5を内蔵する。シフトレジスタ5は有限の長さを有しフィードバックされるので、この試験サンプル・シーケンスは、真のランダム・シーケンスではなく、与えられた距離内での繰り返しのサンプルである。しかし、この試験サンプル・シーケンスは、アプリケーション回路1を試験するために最適な試験サンプルを本質的に含まないという欠点を有する。

【0022】このために、線形フィードバック・シフト

レジスタ5の出力信号を合成ロジック要素6、7および8を介して変更するビット変換回路9が設けられ、予め決定され得るまたは決定された構成を有する試験サンプルが合成ロジック要素6、7および8の出力において、即ち、アプリケーション回路1の入力およびそれらの回路チェーン2、3および4において得られる。これは、ビット変換回路9が合成ロジック要素6、7および8の手段を用いて線形フィードバック・シフトレジスタ5によって供給される試験サンプルの個々のビットを変更し、それによって所望の、決定性試験サンプルが得られることで達成される。

【0023】図面に示された実施の形態において、これらはアプリケーション回路1内の回路チェーン2、3および4に適用される。

【0024】これらの試験サンプルに基づいて、アプリケーション回路1内の回路チェーン2、3および4は、ORゲート10、11および12を介してサイン・レジスタ(a signature register)13へ与えられる出力信号を供給する。

【0025】サイン・レジスタ13は、試験サンプルをそれぞれ含む複数の試験サイクルからの試験結果を合成するように形成され、その試験の後にいわゆるサイン(signature)を供給し、そのサインはアプリケーション回路1が妨害なしに動作されるときに、与えられた予め決定された値を有しなければならない。

【0026】しかし、この場合において、アナログまたはメモリ作用を有する回路要素は、アプリケーション回路1内または回路チェーン2、3および4内に(事実、頻繁に)存在し得る。そのような回路要素は、明確な出力信号を供給しない、即ち、それらへ与えられた入力信号に依存して、それらは決定性出力信号を供給しない。それらの回路要素の出力信号はむしろ偶発的である。そのような信号は、試験結果を妨げるだけでなく、試験結果内のあるビットを使用不可能にしてしまうということは明白であろう。

【0027】それにもかかわらず、可能な限り簡単な構成を用いてそのような構成要素を備えたアプリケーション回路1を試験することができるように、本発明による回路は、ORゲート10、11および12へ制御信号を供給するマスキング・ロジック要素14を有する。これらの信号を用いて、試験中に、それらのビットだけが記憶またはアナログ作用を有する構成要素によって影響を受けずにサイン・レジスタ13へ到達する。

【0028】結果として、それらのビットだけがサイン・レジスタ13へ到達し、明確に評価され、明確な結果を生じ得る。このように、アプリケーション回路1が記憶またはアナログ作用を有する構成要素を含む場合であっても、試験結果を完璧に示す明確な信号もサイン・レジスタ13において試験の終わりに生成され得る。

【0029】試験工程の進行状況(extent of progress)についてマスキング・ロジック要素14へ情報を与えるために、マスキング・ロジック要素14およびビット変換回路9へ同一の信号を供給する試験サンプル・カウンタ15が設けられている。

【0030】アプリケーション回路1の回路チェーン2、3および4の出力信号におけるどのビットが評価されてサイン・レジスタ13へ通過するか、そしてどのビットがORゲート10、11および12によってブロックされるかが、試験サンプル・カウンタによって供給される現在の試験サンプルの数によって、マスキング・ロジック要素14が知ることができるように、マスキング・ロジック要素14はプログラムされ、または回路技術的に形成されている。

【0031】さらに、シフト・サイクル・カウンタ16が設けられ、その出力信号もまた、マスキング・ロジック要素14およびビット変換回路9へ供給される。

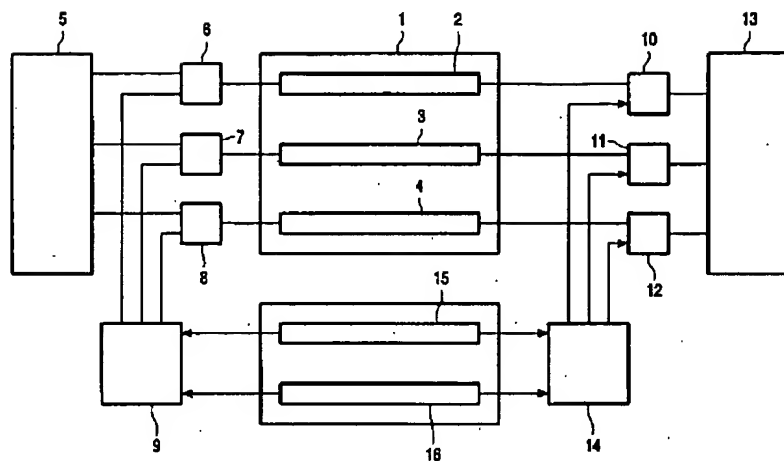
【0032】シフト・サイクル・カウンタ16はシフトレジスタ2、3および4の状態を示す信号をマスキング・ロジック要素14へ供給する。カウンタ16の状態は、シフトレジスタ2、3および4の状態(position)がマスキングされるべきであることをマスキング・ロジック要素へ知らせる。

【0033】本発明に従った自己試験回路は、いかなる限定もなしに、チップ上のアプリケーション回路1を試験する能力を提供する。アプリケーション回路1の変更は、その実際の使用のために最適化して構成され得るためには要求されない。試験中に、遅い外部のボンディング接続が使用される必要がないので、最高のクロック速度での試験も可能である。総ての試験工程もまた、記憶またはアナログ作用を有する構成要素を含むそれらのアプリケーション回路にとって限定されない方法で可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態として、アプリケーション回路1を備えた集積回路のブロック図を示す。

【図1】



フロントページの続き

(71)出願人 590000248
Groenewoudseweg 1,
5621 BA Eindhoven, Th
e Netherlands

Fターム(参考) 2G132 AA08 AB01 AC14 AG05 AG08
AK15 AK29
5B048 AA01 CC11 DD05 FF03